

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 6 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 4 5 8 2 4 号

出 願 人

Applicant (s):

富士通株式会社

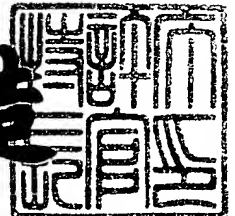
1c813 U.S. PTO  
09/671117  
09/28/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 0 年 7 月 2 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 9 5 7 1

【書類名】 特許願

【整理番号】 9940689

【提出日】 平成11年12月 6日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 12/08

【発明の名称】 計算機とその制御方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 依田 斉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岡野 廣

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 広瀬 佳生

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 三宅 英雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン  
プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 計算機とその制御方法

【特許請求の範囲】

【請求項 1】 メインメモリと、前記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、

前記キャッシュメモリをランダムアクセスメモリとして動作させるときには、前記メインメモリに対応するアドレス空間とは異なるアドレス空間を前記キャッシュメモリへ割り当てる計算機の制御方法。

【請求項 2】 前記計算機は、前記メインメモリと前記キャッシュメモリとの間に接続されたバス制御手段と、前記バス制御手段に接続された周辺システムとをさらに備え、

前記キャッシュメモリをランダムアクセスメモリとして動作させているときに、前記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより前記キャッシュメモリへアクセスされた場合には、前記メインメモリまたは前記周辺システムへのアクセスがなされる請求項 1 に記載の計算機の制御方法。

【請求項 3】 メインメモリと、前記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを含む計算機であって、

前記キャッシュメモリがランダムアクセスメモリとして動作するときには、前記メインメモリに対応するアドレス空間とは異なるアドレス空間を前記キャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機。

【請求項 4】 前記キャッシュメモリがランダムアクセスメモリとして動作するときには前記キャッシュメモリへ割り当てるアドレス空間を、少なくとも一部が前記メインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えた請求項 3 に記載の計算機。

【請求項 5】 前記メインメモリと前記キャッシュメモリとの間に接続されたバス制御手段と、

前記バス制御手段に接続された周辺システムと、

前記キャッシュメモリをランダムアクセスメモリとして動作させているときに、前記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより前記キャッシュメモリへアクセスされた場合には、前記メインメモリまたは前記周辺システムへのアクセスを行う制御手段とをさらに備えた請求項 3 に記載の計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は計算機とその制御方法に関し、さらに詳しくは、キャッシュメモリを備えた計算機とその制御方法に関するものである。

【0002】

【従来の技術】

図 1 は、4 ウェイ・セット・アソシアティブ方式を採用した従来の計算機の構成を示す図である。図 1 に示されるように、4 ウェイ・セット・アソシアティブ方式を採用した従来の計算機は、CPU 1 と、CPU 1 に接続されたキャッシュ部 2 と、キャッシュ部 2 に接続されたバス制御装置 3 とを備える。ここで、キャッシュ部 2 はアドレスレジスタ 4 と、データレジスタ 5 と、4 つのキャッシュウェイから構成されるキャッシュメモリ 9 と、各キャッシュウェイに対応するよう設けられた 4 つのキャッシュタグ (TAG) 7 と、TAG アドレス比較部 11 と、データセレクト部 13 と、キャッシュコントローラ 15 とを含む。

【0003】

そして、アドレスレジスタ 4 は CPU 1 に接続され、CPU 1 から供給されたアドレスを保持する。データレジスタ 5 は、CPU 1 に接続され、CPU 1 からキャッシュメモリ 9 に書き込むデータを保持する。キャッシュタグ 7 は、アドレスレジスタ 4 及びバス制御装置 3 に接続され、キャッシュウェイに含まれたキャッシュブロックの識別アドレスを保持する。また、キャッシュメモリ 9 はアドレスレジスタ 4 及びバス制御装置 3 とデータレジスタ 5 に接続され、供給されたデータを記憶する。

【0004】

TAGアドレス比較部11はその入力端がキャッシュタグ7及びアドレスレジスタ4に接続され、CPU1から供給されたアドレスとキャッシュタグ7に格納されているアドレスとを比較し、一致する場合にはキャッシュヒット信号CHAを出力する。また、データセレクト部13はその入力端がキャッシュメモリ9及びTAGアドレス比較部11に接続され、キャッシュメモリ9から読み出されたデータを選択的に出力する。また、キャッシュコントローラ15は、TAGアドレス比較部11とCPU1及びバス制御装置3に接続され、キャッシュ部2を制御する。

【0005】

ここで、従来よりCPU1はメインメモリに格納されているマシン命令やデータにアクセスすることにより、処理（演算）を行っている。しかし、CPU1に比べてメインメモリの動作はかなり低速なため、マシン命令の読出しやロード／ストア命令の実行には時間がかかる。そこで、CPU1とメインメモリとの間に、命令やデータを一時的に格納すると共にメインメモリより高速に動作するキャッシュメモリ9を備えた計算機が開発され、処理時間が短縮されている。

【0006】

以下に、図1に示された従来の計算機において、CPU1がデータを読み出す動作を説明する。まず、TAGアドレス比較部11はCPU1から供給されたアドレスと、有効なキャッシュブロックのタグが一致するか否かを比較し、一致するものがあるキャッシュヒット時は、キャッシュヒット信号CHAをキャッシュコントローラ15及びデータセレクト部13へ供給する。これより、キャッシュメモリ9からデータセレクト部13を介して対応するデータがCPU1へ供給される。一方、上記比較において一致するものが無いキャッシュミスヒット時には、まず置換の対象とするキャッシュブロックを決め、次にそのブロックが既に更新されているものならば、置換対象とするキャッシュブロックのデータをメインメモリへ書き戻す（コピーバック）。なお、そのブロックが未だ更新されていない時は、書き戻さない。そして次に、メインメモリ内のアクセス対象データが存在するブロックを上記キャッシュブロックへ置換（コピー）すると同時に、CP

U1ヘデータを供給する。

【0007】

一方、従来においては、キャッシュメモリ9をランダムアクセスメモリ(RAM)として動作させる技術も考えられている。すなわち、この技術はキャッシュメモリ9をメインメモリと同じアドレス領域に割り付け、メインメモリのコピーをRAMとして機能するキャッシュメモリ9に置くことによりデータの処理時間を短縮させるものである。

【0008】

しかしながら、このような従来の技術においては、以下のような問題がある。キャッシュメモリ9はメインメモリが有するデータのうち一部のデータしか記憶できないため、必要とされるデータを記憶しているキャッシュブロックがブロック置換の対象とされた結果、上記必要とされるデータがキャッシュメモリ9から追い出されることがある。また、たとえ必要なデータがキャッシュメモリ9へ記憶されているとしても、ライトスルー制御が行われる場合には、ライト時にキャッシュメモリ9のみならずメインメモリに対する制御も行われるため、このような場合にはバスを介したデータのやりとりが煩雑化し、計算機の動作速度が低下してしまう場合もある。

【0009】

従って、キャッシュメモリ9をランダムアクセスメモリとして動作させることも考えられるが、このとき上記ランダムアクセスメモリに割り付けられるアドレス領域がメインメモリのアドレス領域と一部でも重複していると、キャッシュメモリ9に格納されたデータのコーヒレンシーを保つスヌープ処理等を行う必要が生じ、制御が複雑になるという問題がある。

【0010】

なお、特開平5-334189号公報には、キャッシュメモリをランダムアクセスメモリとして動作させる技術が開示されているが、該ランダムアクセスメモリに割り付けられたアドレス領域に含まれないアドレスによってアクセスがなされた場合の動作については、何も記されていない。

【0011】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、コヒーレンシーを保つための複雑な制御の必要性を回避して、RAMとしての簡易な制御を実現し得るキャッシュメモリを備えた計算機とその制御方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記の目的は、メインメモリと、メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、キャッシュメモリをランダムアクセスメモリとして動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てる計算機の制御方法を提供することにより達成される。このような手段によれば、ランダムアクセスメモリとして動作させるキャッシュメモリの制御において、メインメモリとのコヒーレンシーを保つ必要性を回避することができる。

【0013】

ここで、上記計算機は、メインメモリとキャッシュメモリとの間に接続されたバス制御手段と、バス制御手段に接続された周辺システムとをさらに備え、キャッシュメモリをランダムアクセスメモリとして動作させているときに、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスがなされる計算機の制御方法とすることができる。このような手段によれば、キャッシュメモリをランダムアクセスメモリとして動作させるときにキャッシュメモリへ割り当てられるアドレス空間に制限されることなく、プログラムを作成できる。

【0014】

また、本発明の目的は、メインメモリと、メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを含む計算機であって、キャッシュメモリがランダムアクセスメモリとして動作するときには、



メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機を提供することによって達成される。

【0015】

ここで、上記計算機は、キャッシュメモリがランダムアクセスメモリとして動作するときにキャッシュメモリへ割り当てるアドレス空間を、少なくとも一部がメインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えたものとすることができる。このような手段によれば、ランダムアクセスメモリとして動作するキャッシュメモリに対して、計算機の構成に応じた適切な制御を実現することができる。

【0016】

また、上記計算機は、メインメモリとキャッシュメモリとの間に接続されたバス制御手段と、バス制御手段に接続された周辺システムと、キャッシュメモリをランダムアクセスメモリとして動作させているときに、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスを行う制御手段とをさらに備えたものとすることができる。

【0017】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、同一符号は同一または相当部分を示す。

図2は、本発明の実施の形態に係る計算機の基本的構成を示すブロック図である。図2に示されるように、本発明の実施の形態に係る計算機はCPU10と、キャッシュ部20と、DMA (Direct Memory Access) 制御回路27と、バス制御装置28と、メインメモリ29と、周辺システム30とを備える。また、キャッシュ部20にはキャッシュコントローラ25と情報格納部26とを含み、キャッシュコントローラ25には第一機構21、第二機構22、第三機構23及び第四機構24とを含む。

【0018】

ここで、CPU 1 0 はデータアクセスや命令アクセス時にキャッシュ部 2 0 へアクセスする機能を持つ。また、DMA 制御回路 2 7 に対して起動するよう要求する場合もある。また、キャッシュ部 2 0 は CPU 1 0 とバス制御装置 2 8 との間に接続され、キャッシュメモリまたは RAM として動作する機能を有する。ここで、情報格納部 2 6 は複数のウェイを持ってもよい。また、バス制御装置 2 8 から DMA 転送による書き込みが要求されることにより、情報格納部 2 6 に情報が格納される一方、バス制御装置 2 8 から DMA 転送による読み出しが要求されることにより、情報格納部 2 6 からバス制御装置 2 8 へ情報が読み出される。

## 【0 0 1 9】

また、キャッシュコントローラ 2 5 はキャッシュ部 2 0 の動作を制御し、第一機構 2 1 は情報格納部 2 6 に含まれたキャッシュメモリを RAM として動作させるための切り替えを行う。第二機構 2 2 は、キャッシュメモリを RAM として動作させる範囲を設定する。第三機構 2 3 は、RAM のアドレス領域を設定する。また第四機構 2 4 は、アクセスされたアドレスが RAM として動作するキャッシュメモリに対応したアドレス領域に含まれるものである場合には、該 RAM から情報を受け取ると共に、含まれない場合にはメインメモリ 2 9 や周辺システム 3 0 といった外部記憶装置へアクセスする。

## 【0 0 2 0】

また、情報格納部 2 6 は RAM としての動作が可能なキャッシュメモリを含み、情報を格納する。そして、バス制御装置 2 8 はキャッシュ部 2 0 及び DMA 制御回路 2 7 とメインメモリ 2 9 及び周辺システム 3 0 との間に接続され、キャッシュ部 2 0 と周辺システム 3 0 との間におけるデータ転送時にバス権を調停したり、メインメモリ 2 9 並びに周辺システム 3 0 へのアクセスの制御や、DMA 制御回路 2 7 からのデータ転送の制御を行う。

## 【0 0 2 1】

また、メインメモリ 2 9 はバス制御装置 2 8 に接続され、CPU 1 0 が利用する情報を格納する。DMA 制御回路 2 7 は、CPU 1 0 とバス制御装置 2 8 との間に接続され、周辺システム 3 0 と情報格納部 2 6 との間において DMA 転送を実行するようバス制御装置 2 8 に対して要求する。なお、DMA 転送の起動は C

P U 1 0 から行う場合と、周辺システム 3 0 から行う場合とがある。

【 0 0 2 2 】

また、周辺システム 3 0 は、図示されていない他の C P U やメモリなどが接続されており、DMA データ転送を要求する機能を持つ場合がある。

以上のような基本的構成を有する本発明の実施の形態に係る計算機により、図 3 に示されるようにアドレスがマッピングされる。すなわち、図 3 においては例として、3 2 ビットのアドレスから構成され、メインメモリが 6 4 メガバイトで連続してマッピングされている 4 ギガバイトのアドレス空間が示される。ここで、メインメモリ 2 9 のアドレス領域はアドレス “0x10000000” からアドレス “0x1000FFFF” までの領域とされ、R A M として動作するキャッシュメモリのアドレス領域はアドレス “0xFE000000” からアドレス “0xFFFFFFFF” までの領域とされ、相互に重複部分を持たないようにアドレス領域（アドレス空間）が割り当てられる。

【 0 0 2 3 】

このように、本発明の実施の形態に係る計算機においては、キャッシュメモリを R A M として動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間がキャッシュメモリへ割り当てられる。従って、このような計算機によれば、R A M として動作するキャッシュメモリとメインメモリとの間のコヒーレンシーを保つための複雑な制御の必要性を回避して、キャッシュメモリを R A M として簡易に制御することができる。以下において、より具体的に説明する。

〔実施の形態 1〕

図 4 は、本発明の実施の形態 1 に係る 4 ウェイ・セット・アソシアティブ方式を採用した計算機のキャッシュ部 2 0 の構成をより詳しく示す図である。図 4 に示されるように、本実施の形態に係るキャッシュ部 2 0 は従来の計算機に係るキャッシュ部 2 に対して、デコーダ 3 3 とセレクタ 3 5 をさらに備え、キャッシュコントローラ 2 5 がアドレスレジスタ 4 及びデータレジスタ 5 に接続される点で相違する。ここで、デコーダ 3 3 はアドレスレジスタ 4 に接続される。また、セレクタ 3 5 の入力端はデコーダ 3 3 と T A G アドレス比較部 1 1 及びキャッシュ

コントローラ 2 5 に接続され、出力端がデータセレクト部 1 3 に接続される。

#### 【 0 0 2 4 】

図 5 は、図 4 に示されたキャッシュコントローラ 2 5 の構成を示す図である。図 5 に示されるように、キャッシュコントローラ 2 5 は、RAM 設定フラグ 4 0 と、ウェイ設定フラグ 4 1 と、RAM アドレス領域フラグ 4 3 と、情報格納部 2 6 に含まれた各キャッシュウェイに対応して並設された 4 つの RAM アドレス比較部 4 4 と、RAM コヒーレンシ判定部 4 9 と、RAM ミスリクエスト部 5 3 と、コヒーレンシ制御部 5 5 と、バスリクエスト制御部 5 7 とを備える。そして、各 RAM アドレス比較部 4 4 は RAM アドレスレジスタ 4 5 と、比較器 4 7 とを含む。

#### 【 0 0 2 5 】

ここで、RAM 設定フラグ 4 0 と RAM アドレス比較部 4 4、ウェイ設定フラグ 4 1 及び RAM アドレス領域フラグ 4 3 は、共にデータレジスタ 5 に接続される。そして、RAM アドレス比較部 4 4 に含まれた RAM アドレスレジスタ 4 5 がデータレジスタ 5 に接続され、比較器 4 7 の二つの入力端はそれぞれ RAM アドレスレジスタ 4 5 とアドレスレジスタ 4 に接続される。

#### 【 0 0 2 6 】

また、RAM コヒーレンシ判定部 4 9 はその入力端が、RAM アドレスレジスタ 4 5 と、アドレスレジスタ 4 及び RAM アドレス領域フラグ 4 3 に接続される。RAM ミスリクエスト部 5 3 はその入力端が、RAM 設定フラグ 4 0 と、比較器 4 7 及びウェイ設定フラグ 4 1 に接続される。そして、RAM ミスリクエスト部 5 3 の出力端はセクタ 3 5 及びバスリクエスト制御部 5 7 に接続される。

#### 【 0 0 2 7 】

また、コヒーレンシ制御部 5 5 はその入力端が RAM コヒーレンシ判定部 4 9 及びバス制御装置 2 8 に接続され、その出力端がバス制御装置 2 8 及び CPU 1 0 に接続される。バスリクエスト制御部 5 7 は、さらに CPU 1 0 及びバス制御装置 2 8 に接続され、CPU 1 0 からは制御信号 B R C が供給される。なお、以上の構成において図 2 に示された第一機構 2 1 には RAM 設定フラグ 4 0 が該当し、第二機構 2 2 にはウェイ設定フラグが該当する。また、第三機構 2 3 には R

AMアドレス比較部 4 4 が該当し、第四機構 2 4 にはRAMアドレス領域フラグ 4 3 が該当する。

【0 0 2 8】

次に、以上のような構成を有する本実施の形態に係る計算機は、情報格納部 2 6 がキャッシュメモリとして動作する通常動作モードとRAMとして動作するRAMモードとを有するが、以下においてRAMモードでの動作を説明する。なお、通常動作モードでは上記図 1 に示された従来の計算機と同様に動作する。

図 6 は本実施の形態 1 に係る計算機において、CPU 1 0 が周辺システム 3 0 のアドレス空間に存在する情報を利用する場合の動作を説明する図である。なお、図 6 においては説明の便宜を図るため、情報格納部 2 6 は二つのキャッシュウェイ 2 6 A, 2 6 B から構成されるものとして示される。

【0 0 2 9】

図 6 に示されるように、まず最初にCPU 1 0 からキャッシュコントローラ 2 5 ヘデータレジスタ 5 を介してRAMモードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部 2 6 をRAMとして動作させることを示す第一機構 2 1 としてのRAM設定フラグ 4 0 が 1 にセットされる。また同時に、上記設定データによって情報格納部 2 6 の中でどの範囲をRAMとして動作させるかを示す第二機構 2 2 としてのウェイ設定フラグ 4 1 がセットされる。ここで例えば、ウェイ設定フラグ 4 1 に 1 がセットされれば図 6 に示される両キャッシュウェイ 2 6 A, 2 6 B がRAMとして動作し、0 がセットされれば図 6 に示されるいずれか一方のキャッシュウェイだけがRAMとして動作する。

【0 0 3 0】

また、第三機構 2 3 としてのRAMアドレスレジスタ 4 5 には、RAMとして動作させるキャッシュメモリに対応するアドレス領域がデータレジスタ 5 を介して供給されるデータにより書込まれる。さらに、RAMとして動作させるキャッシュメモリのアドレス領域をメインメモリ 2 9 のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構 2 4 としてのRAMアドレス領域フラグ 4 3 が上記設定データによりセットされる。

## 【 0 0 3 1 】

次に、CPU 1 0 は DMA 制御回路 2 7 に対して周辺システム 3 0 から RAM へ DMA 転送するよう要求する。そして、DMA 制御回路 2 7 は該要求に応じて、バス制御装置 2 8 に対して周辺システム 3 0 のアドレス空間から情報を読出すよう要求する。ここでバス制御装置 2 8 は周辺システム 3 0 へ該情報の読み出しを要求し、周辺システム 3 0 は要求された情報をバス制御装置 2 8 へ供給する。このとき、該情報が供給されたバス制御装置 2 8 は、例えばキャッシュウェイ 2 6 A に対する該情報の書き込みを実行する。

## 【 0 0 3 2 】

上記のような動作を完了した後に CPU 1 0 が RAM に対してアクセスを行うと、アクセスされたアドレスが RAM アドレスレジスタ 4 5 に記憶された RAM のアドレス（アドレス空間）と比較器 4 7 において比較される。そして、この比較結果が RAM ミスリクエスト部 5 3 へ供給される。

このとき上記比較の結果一致（ヒット）すると判断された場合には、RAM ミスリクエスト部 5 3 は、キャッシュヒット信号 CH をバスリクエスト制御部 5 7 へ供給すると共に、ウェイ設定フラグ 4 1 から供給された信号に応じて、ヒットしたキャッシュウェイを示すキャッシュウェイセレクト信号 CWS をセクタ 3 5 に供給する。そして、セクタ 3 5 は供給されたキャッシュウェイセレクト信号 CWS とデコーダ 3 3 においてデコードされたアドレスに応じて、データセレクト部 1 3 へ選択信号を出力する。これにより、データセレクト部 1 3 は情報格納部 2 6 から出力されたデータを選択的に CPU 1 0 及びバス制御装置 2 8 へ出力する。

## 【 0 0 3 3 】

一方、比較器 4 7 における比較において、アクセスされたアドレスが RAM アドレスレジスタ 4 5 に記憶された RAM のアドレス（アドレス空間）と一致しないものと判断される場合には、RAM ミスリクエスト部 5 3 より RAM ミスリクエスト信号 RMR がバスリクエスト制御部 5 7 へ供給される。この時、バスリクエスト制御部 5 7 はバスリクエスト信号 BR をバス制御装置 2 8 へ供給し、バス制御装置 2 8 は供給されたバスリクエスト信号 BR に応じてメインメモリ 2 9 ま

たは周辺システム 3 0 にアクセスする。なお、バスリクエスト制御部 5 7 は、バス制御装置 2 8 からリクエストを受け付けたことを示すリクエスト受付信号 R R が供給された時、バスリクエスト信号 B R の供給を止める。

【 0 0 3 4 】

また、上記の動作において、R A M として動作させるキャッシュメモリのアドレス領域をメインメモリ 2 9 のアドレス領域と共通の領域とする場合には、R A M アドレス領域フラグ 4 3 から供給される信号により R A M コヒーレンシ判定部 4 9 が活性化され、R A M アドレスレジスタ 4 5 に設定されたアドレス空間とアドレスレジスタ 4 から供給されたアドレスとの間のコヒーレンシの有無が判定される。そして、R A M コヒーレンシ判定部 4 9 から、コヒーレンシを保つ必要性の有無を示す R A M コヒーレンシオン／オフ信号 R C がコヒーレンシ制御部 5 5 へ供給される。

【 0 0 3 5 】

このときコヒーレンシ制御部 5 5 は、コヒーレンシを保つ必要があることを示すコヒーレンシオン信号が供給されることにより、C P U 1 0 へコヒーレンシを保つためのコヒーレンシ制御信号 C C を供給する。また同時に、コヒーレンシ制御部 5 5 は、周辺システム 3 0 に含まれた他の C P U （図示していない）などによりメインメモリ 2 9 のデータが書き換えられていないかどうかをバス制御装置 2 8 を介して確認するため、バス制御装置 2 8 へキャッシュスヌープ信号 C S を供給する。なお、バススヌープ信号 B S は、情報格納部 2 6 の R A M が書き換えられていないかどうかを確認するためコヒーレンシ制御部 5 5 へ供給される。

【 0 0 3 6 】

以上のような動作により、本実施の形態に係る計算機によれば、R A M として動作するキャッシュメモリのアドレス領域にアクセスするとき、アクセスされたアドレスが R A M アドレスレジスタ 4 5 に記憶された R A M のアドレス（アドレス空間）と一致しない場合には、メインメモリ 2 9 または周辺システム 3 0 にアクセスするため、周辺システム 3 0 などの情報を読み出すことができる。従って、R A M のアドレス領域外のアドレスを持ったデータにもアクセスすることができる。

## 【 0 0 3 7 】

次に、上記の実施の形態 1 に係る計算機において、CPU 1 0 がメインメモリ 2 9 のアドレス空間にアクセスする第一の動作を、図 7 を参照しつつ説明する。

図 7 に示されるように、まず最初に CPU 1 0 からキャッシュコントローラ 2 5 ヘデータレジスタ 5 を介して RAM モードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部 2 6 を RAM として動作させることを示す第一機構 2 1 としての RAM 設定フラグ 4 0 が 1 にセットされる。また同時に、上記設定データによって情報格納部 2 6 の中でどの範囲を RAM として動作させるかを示す第二機構 2 2 としてのウェイ設定フラグ 4 1 がセットされる。ここで例えば、ウェイ設定フラグ 4 1 に 1 がセットされれば両キャッシュウェイ 2 6 A, 2 6 B が RAM として動作し、0 がセットされればいずれか一方のキャッシュウェイだけが RAM として動作する。

## 【 0 0 3 8 】

また、第三機構 2 3 としての RAM アドレスレジスタ 4 5 には、RAM として動作させるキャッシュメモリに対応するアドレス領域が設定される。さらに、RAM として動作させるキャッシュメモリのアドレス領域をメインメモリ 2 9 のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構 2 4 としての RAM アドレス領域フラグ 4 3 が上記設定データによりセットされる。

## 【 0 0 3 9 】

次に、周辺システム 3 0 は DMA 制御回路 2 7 に対してメインメモリ 2 9 から RAM へ DMA 転送するよう要求する。そして、DMA 制御回路 2 7 は該要求に応じて、バス制御装置 2 8 に対してメインメモリ 2 9 のアドレス空間から情報を読出すよう要求する。バス制御装置 2 8 はメインメモリ 2 9 へ該情報の読み出しを要求し、メインメモリ 2 9 は要求された情報をバス制御装置 2 8 へ供給する。このとき、該情報が供給されたバス制御装置 2 8 は、例えばキャッシュウェイ 2 6 A に対する該情報の書き込みを実行する。

## 【 0 0 4 0 】

上記のような動作を完了した後に CPU 1 0 が RAM に対してアクセスを行う



と、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と比較器47において比較される。そして、これらが一致（ヒット）する場合にはRAMミスリクエスト部53は、キャッシュヒット信号CHをバスリクエスト制御部57へ供給すると共に、ウェイ設定フラグ41から供給された信号に応じてヒットしたキャッシュウェイを示すキャッシュウェイセレクト信号CWSをセクタ35に供給する。そして、セクタ35は供給されたキャッシュウェイセレクト信号CWSとデコーダ33から供給された信号に応じて、データセレクト部13へ選択信号を出力する。これにより、データセレクト部13は情報格納部26から出力されたデータを選択的にCPU10及びバス制御装置28へ出力する。

## 【0041】

一方、比較器47における比較において、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、RAMミスリクエスト部53よりRAMミスリクエスト信号RMRがバスリクエスト制御部57へ供給され、この時、バスリクエスト制御部57からはバスリクエスト信号BRがバス制御装置28へ供給される。そして、バス制御装置28よりリクエスト受付信号RRがバスリクエスト制御部57へ供給された時、バスリクエスト制御部57はバスリクエスト信号BRの供給を止める。そして、バス制御装置28はメインメモリ29または周辺システム30にアクセスする。

## 【0042】

以上の動作により、RAMとして動作するキャッシュメモリのアドレス領域にアクセスするとき、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、メインメモリ29または周辺システム30にアクセスするため、メインメモリ29の情報を読み出すことができる。

## 【0043】

次に、上記の実施の形態1に係る計算機において、CPU10がメインメモリ29のアドレス空間にアクセスする第二の動作を、図8を参照しつつ説明する。

図 8 に示されるように、まず最初に CPU 1 0 からキャッシュコントローラ 2 5 ヘデータレジスタ 5 を介して RAM モードに切り換えるための設定データが供給され、該設定データによりキャッシュメモリからなる情報格納部 2 6 を RAM として動作させることを示す第一機構 2 1 としての RAM 設定フラグ 4 0 が 1 にセットされる。また同時に、上記設定データによって情報格納部 2 6 の中でどの範囲を RAM として動作させるかを示す第二機構 2 2 としてのウェイ設定フラグ 4 1 がセットされる。ここで例えば、ウェイ設定フラグ 4 1 に 1 がセットされれば両キャッシュウェイ 2 6 A, 2 6 B が RAM として動作し、0 がセットされればいずれか一方のキャッシュウェイだけが RAM として動作する。

## 【 0 0 4 4 】

また、第三機構 2 3 としての RAM アドレスレジスタ 4 5 には、RAM として動作させるキャッシュメモリに対応するアドレス領域が設定される。さらに、RAM として動作させるキャッシュメモリのアドレス領域をメインメモリ 2 9 のアドレス領域と共通の領域とするか、互いに重複部分がない異なる領域とするかを示す第四機構 2 4 としての RAM アドレス領域フラグ 4 3 が上記設定データによりセットされる。

## 【 0 0 4 5 】

次に、CPU 1 0 は情報格納部 2 6 に対してメインメモリ 2 9 から情報格納部 2 6 へ情報を転送するよう要求する。そして、情報格納部 2 6 は該要求に応じて、バス制御装置 2 8 に対してメインメモリ 2 9 のアドレス空間から情報を読み出すよう要求する。ここでバス制御装置 2 8 はメインメモリ 2 9 へ該情報の読み出しを要求し、メインメモリ 2 9 は要求された情報をバス制御装置 2 8 へ供給する。このとき、該情報が供給されたバス制御装置 2 8 は、例えばキャッシュウェイ 2 6 A に対する該情報の書き込みを実行する。

## 【 0 0 4 6 】

上記のような動作を完了した後に CPU 1 0 が RAM に対してアクセスを行うと、アクセスされたアドレスが RAM アドレスレジスタ 4 5 に記憶された RAM のアドレス（アドレス空間）と比較器 4 7 において比較される。そして、これらが一致（ヒット）する場合には RAM ミスリクエスト部 5 3 は、キャッシュヒッ

ト信号CHをバスリクエスト制御部57へ供給すると共に、ウェイ設定フラグ41から供給された信号に応じて、RAMとして動作するキャッシュウェイを示すキャッシュウェイセレクト信号CWSをセレクタ35に供給する。そして、セレクタ35は供給されたキャッシュウェイセレクト信号CWSとデコーダ33においてデコードされたアドレスに応じて、データセレクト部13へ選択信号を出力する。これにより、データセレクト部13は情報格納部26から出力されたデータを選択的にCPU10及びバス制御装置28へ出力する。

## 【0047】

一方、比較器47における比較において、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、RAMミスリクエスト部53よりRAMミスリクエスト信号RMRがバスリクエスト制御部57へ供給され、この時、バスリクエスト制御部57からはバスリクエスト信号BRがバス制御装置28へ供給される。そして、バス制御装置28よりリクエスト受付信号RRがバスリクエスト制御部57へ供給された時、バスリクエスト制御部57はバスリクエスト信号BRの供給を止める。そして、バス制御装置28はメインメモリ29または周辺システム30へアクセスする。

## 【0048】

以上の動作により、RAMとして動作するキャッシュメモリのアドレス領域にアクセスするとき、アクセスされたアドレスがRAMアドレスレジスタ45に記憶されたRAMのアドレス（アドレス空間）と一致しない場合には、メインメモリ29または周辺システム30にアクセスされるため、メインメモリ29の情報を読み出すことができる。

## 【0049】

なお、図6から図8に示されるように、例えばCPU10がキャッシュウェイ26Aにアクセスしている間において、次に必要とする情報のDMA転送をDMA制御回路27に要求することにより、キャッシュウェイ26Bに対してバス制御装置28から情報を書き込んでおけば、キャッシュウェイ26Aへのアクセスが終わった後にキャッシュウェイ26Bにアクセスを行うことによって高速に必

要な情報へアクセスすることができる。

〔実施の形態 2〕

本発明の実施の形態 2 に係る計算機は、上記実施の形態 1 に係る計算機と同様な構成を有するが、キャッシュコントローラの構成が相違する。ここで、本実施の形態に係る計算機におけるキャッシュコントローラ 6 0 の構成は図 9 に示される。

【0050】

図 9 に示されるように、本実施の形態に係るキャッシュコントローラ 6 0 は、図 5 に示されたキャッシュコントローラ 2 5 と同様な構成を有するが、RAM アドレス領域フラグ 4 3 と、RAM コヒーレンシ判定部 4 9 と、コヒーレンシ制御部 5 5 とを含まない点で相違する。

すなわち、情報格納部 2 6 に含まれたキャッシュメモリを RAM として動作させるとき、回路設計当初より、該 RAM に割り当てるアドレス領域をメインメモリ 2 9 のアドレス領域とは異なるものとし、かつメインメモリ 2 9 や該 RAM にアクセスする CPU などをついに限る場合には、メインメモリ 2 9 と該 RAM 間のコヒーレンシを保つための回路は必要とされない。従って、このような場合には、上記図 9 に示されるように、キャッシュコントローラ 6 0 には図 5 に示された RAM コヒーレンシ判定部 4 9 などが備えられる必要がない。

【0051】

従って、本実施の形態 2 に係る計算機によれば、キャッシュメモリを RAM として動作させるとき、回路設計当初より、該 RAM に割り当てるアドレス領域をメインメモリ 2 9 のアドレス領域とは異なるものとし、かつメインメモリ 2 9 や該 RAM にアクセスする CPU などをついに限る場合には、コヒーレンシを保つための回路が不要となり、回路規模を低減することができる。

【0052】

最後に、本発明の課題を解決するための手段について付記する。

(1) メインメモリと、上記メインメモリに接続されランダムアクセスメモリとして動作させることができるキャッシュメモリとを備えた計算機の制御方法であって、上記キャッシュメモリをランダムアクセスメモリとして動作させるときに

は、上記メインメモリに対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てる計算機の制御方法。

(2) 上記計算機は、上記メインメモリと上記キャッシュメモリとの間に接続されたバス制御手段と、上記バス制御手段に接続された周辺システムとをさらに備え、上記キャッシュメモリをランダムアクセスメモリとして動作させているときに、上記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより上記キャッシュメモリへアクセスされた場合には、上記メインメモリまたは上記周辺システムへのアクセスがなされる(1)に記載の計算機の制御方法。

(3) 上記キャッシュメモリをランダムアクセスメモリとして動作させているときにおけるアクセス先のアドレスが、上記キャッシュメモリへ割り当てられたアドレス空間に含まれるか否かを判定し、含まれるものであると判定された時には上記キャッシュメモリへアクセスされ、含まれないものであると判定された時には上記メインメモリまたは上記周辺システムへのアクセスがなされる(2)に記載の計算機の制御方法。

(4) 上記キャッシュメモリのうち上記ランダムアクセスメモリとして動作する範囲を選択的に設定する(1)に記載の計算機の制御方法。このような手段によれば、計算機に望まれる動作に応じてランダムアクセスメモリとして動作させる範囲を調整することができるため、キャッシュメモリを備えた計算機により所望の動作を効率的に実現することができる。

(5) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリへはDMA転送によりデータを格納する(1)に記載の計算機の制御方法。

(6) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリからはDMA転送によりデータを読み出す(1)に記載の計算機の制御方法。このような手段によれば、ランダムアクセスメモリとして動作するキャッシュメモリに対するデータの入出力を、より効率的に行うことができるため、動作の高速化を図ることができる。

(7) メインメモリと、上記メインメモリに接続されランダムアクセスメモリと

して動作させることができるキャッシュメモリとを含む計算機であって、上記キャッシュメモリがランダムアクセスメモリとして動作するときには、上記メインメモリに対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てるアドレス割り当て手段を備えたことを特徴とする計算機。

(8) 上記キャッシュメモリがランダムアクセスメモリとして動作するときには上記キャッシュメモリへ割り当てるアドレス空間を、少なくとも一部が上記メインメモリに対応するアドレス空間と重複するものとするか否かを選択する選択手段をさらに備えた(7)に記載の計算機。

(9) 上記メインメモリと上記キャッシュメモリとの間に接続されたバス制御手段と、上記バス制御手段に接続された周辺システムと、上記キャッシュメモリをランダムアクセスメモリとして動作させているときに、上記キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスにより上記キャッシュメモリへアクセスされた場合には、上記メインメモリまたは上記周辺システムへのアクセスを行う制御手段とをさらに備えた(7)に記載の計算機。

(10) 上記キャッシュメモリをランダムアクセスメモリとして動作させているときにおけるアクセス先のアドレスが、上記キャッシュメモリへ割り当てられたアドレス空間に含まれるか否かを判定する判定手段をさらに備え、上記制御手段は上記判定手段における判定結果に基づいて動作すると共に、上記判定手段により上記アクセス先のアドレスが上記キャッシュメモリへ割り当てられたアドレス空間に含まれるものであると判定された時には上記キャッシュメモリへのアクセスを行う(9)に記載の計算機。

(11) 上記キャッシュメモリのうち上記ランダムアクセスメモリとして動作する範囲を選択的に設定する範囲選択手段をさらに備えた(7)に記載の計算機。

(12) ランダムアクセスメモリとして動作するときには上記キャッシュメモリに割り当てられる上記アドレス空間が形成された記憶手段をさらに備えた(7)に記載の計算機。

(13) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリへDMA転送によりデータを格納するデータ格納手段をさらに備えた(7)に記載の計算機。

(14) 上記キャッシュメモリをランダムアクセスメモリとして動作させるときに、上記キャッシュメモリからDMA転送によりデータを読み出すデータ読み出し手段をさらに備えた(7)に記載の計算機。

【0053】

【発明の効果】

上述の如く、本発明によれば、キャッシュメモリをランダムアクセスメモリとして動作させるときには、メインメモリに対応するアドレス空間とは異なるアドレス空間をキャッシュメモリへ割り当てるため、ランダムアクセスメモリとして動作させるキャッシュメモリの制御において、メインメモリとのコヒーレンシを保つ必要性を回避することができ、計算機の制御を簡易化できる。

【0054】

ここで、キャッシュメモリへ割り当てられたアドレス空間の外部に存在するアドレスによりキャッシュメモリへアクセスされた場合には、メインメモリまたは周辺システムへのアクセスがなされることとすれば、キャッシュメモリをランダムアクセスメモリとして動作させるときにキャッシュメモリへ割り当てられるアドレス空間に制限されることなくプログラムを作成でき、プログラム作成における自由度が高められる。

【0055】

ここで、キャッシュメモリがランダムアクセスメモリとして動作するときにキャッシュメモリへ割り当てるアドレス空間を、少なくとも一部がメインメモリに対応するアドレス空間と重複するものとするか否かを選択することとすれば、ランダムアクセスメモリとして動作するキャッシュメモリに対して、計算機の構成に応じた適切な制御を実現することができるため、汎用性を高めることができる。

【図面の簡単な説明】

【図1】

4ウェイ・セット・アソシアティブ方式を採用した従来の計算機の構成を示す図である。

【図2】

本発明の実施の形態に係る計算機の基本的構成を示すブロック図である。

【図 3】

本発明の実施の形態に係る計算機におけるアドレスマッピングの例を示す図である。

【図 4】

本発明の実施の形態 1 に係る計算機のキャッシュ部の構成をより詳しく示す図である。

【図 5】

図 4 に示されたキャッシュコントローラの構成を示す図である。

【図 6】

本発明の実施の形態 1 に係る計算機において、CPU が周辺システムのアドレス空間にアクセスする動作を説明する図である。

【図 7】

本発明の実施の形態 1 に係る計算機において、CPU がメインメモリのアドレス空間にアクセスする動作を説明する第一の図である。

【図 8】

本発明の実施の形態 1 に係る計算機において、CPU がメインメモリのアドレス空間にアクセスする動作を説明する第二の図である。

【図 9】

本発明の実施の形態 2 に係る計算機におけるキャッシュコントローラの構成を示す図である。

【符号の説明】

- 1, 10 CPU
- 2, 20 キャッシュ部
- 3 バス制御装置
- 4 アドレスレジスタ
- 5 データレジスタ
- 7 タグ (TAG)
- 9 キャッシュメモリ



1 1 TAGアドレス比較部  
1 3 データセレクト部  
1 5, 2 5, 6 0 キャッシュコントローラ  
2 1 第一機構  
2 2 第二機構  
2 3 第三機構  
2 4 第四機構  
2 6 情報格納部  
2 6 A, 2 6 B キャッシュウェイ  
2 7 DMA制御回路  
2 8 バス制御装置  
2 9 メインメモリ  
3 0 周辺システム  
3 3 デコーダ  
3 5 セレクタ  
4 0 RAM設定フラグ  
4 1 ウェイ設定フラグ  
4 3 RAMアドレス領域フラグ  
4 4 RAMアドレス比較部  
4 5 RAMアドレスレジスタ  
4 7 比較器  
4 9 RAMコヒーレンシ判定部  
5 3 RAMミスリクエスト部  
5 5 コヒーレンシ制御部  
5 7 バスリクエスト制御部  
CWS キャッシュウェイセレクト信号  
CHA, CH キャッシュヒット信号  
RMR RAMミスリクエスト信号  
RC RAMコヒーレンション／オフ信号

C S キャッシュスヌープ信号

B S バススヌープ信号

C C コヒーレンシ制御信号

B R バスリクエスト信号

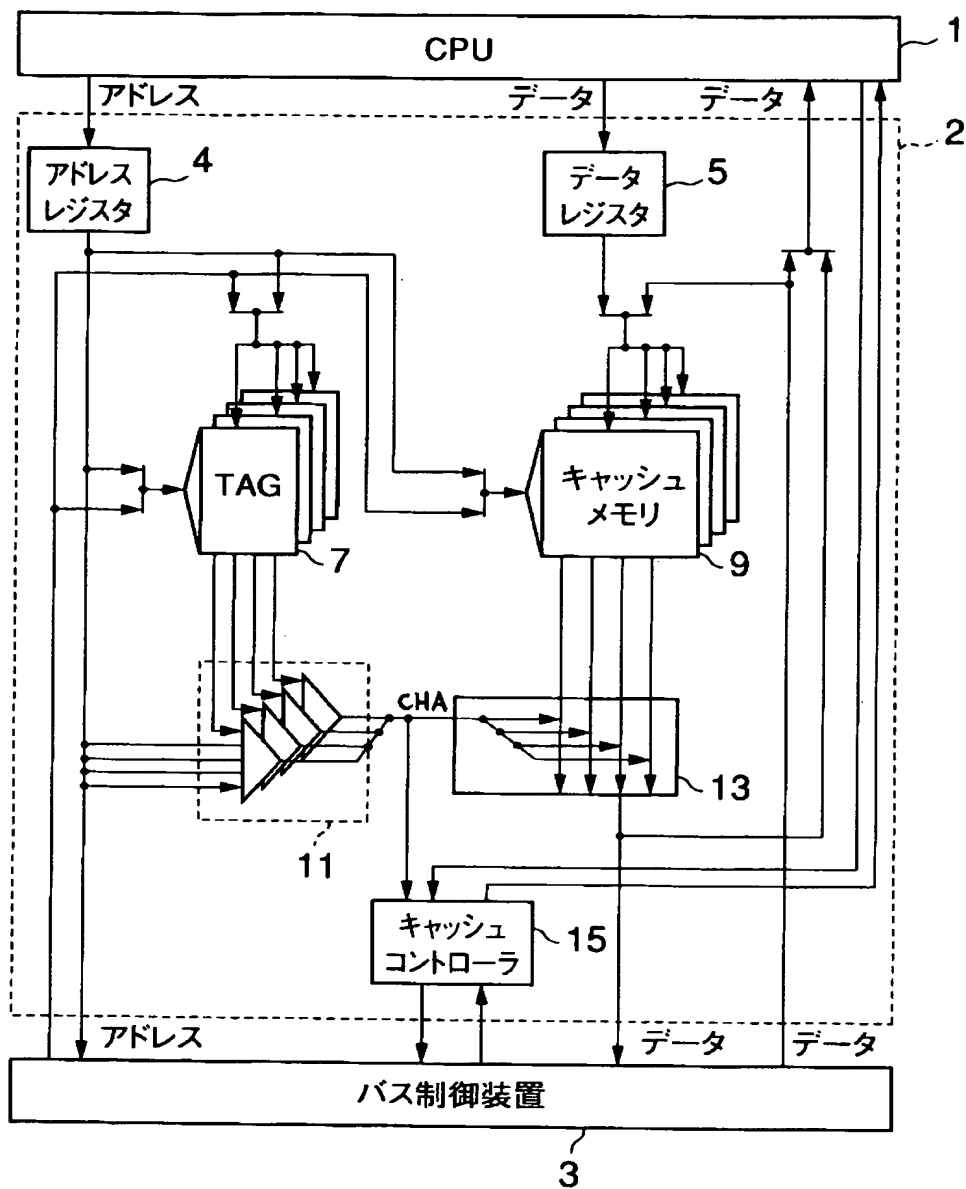
B R C 制御信号

R R リクエスト受付信号

【書類名】 図面

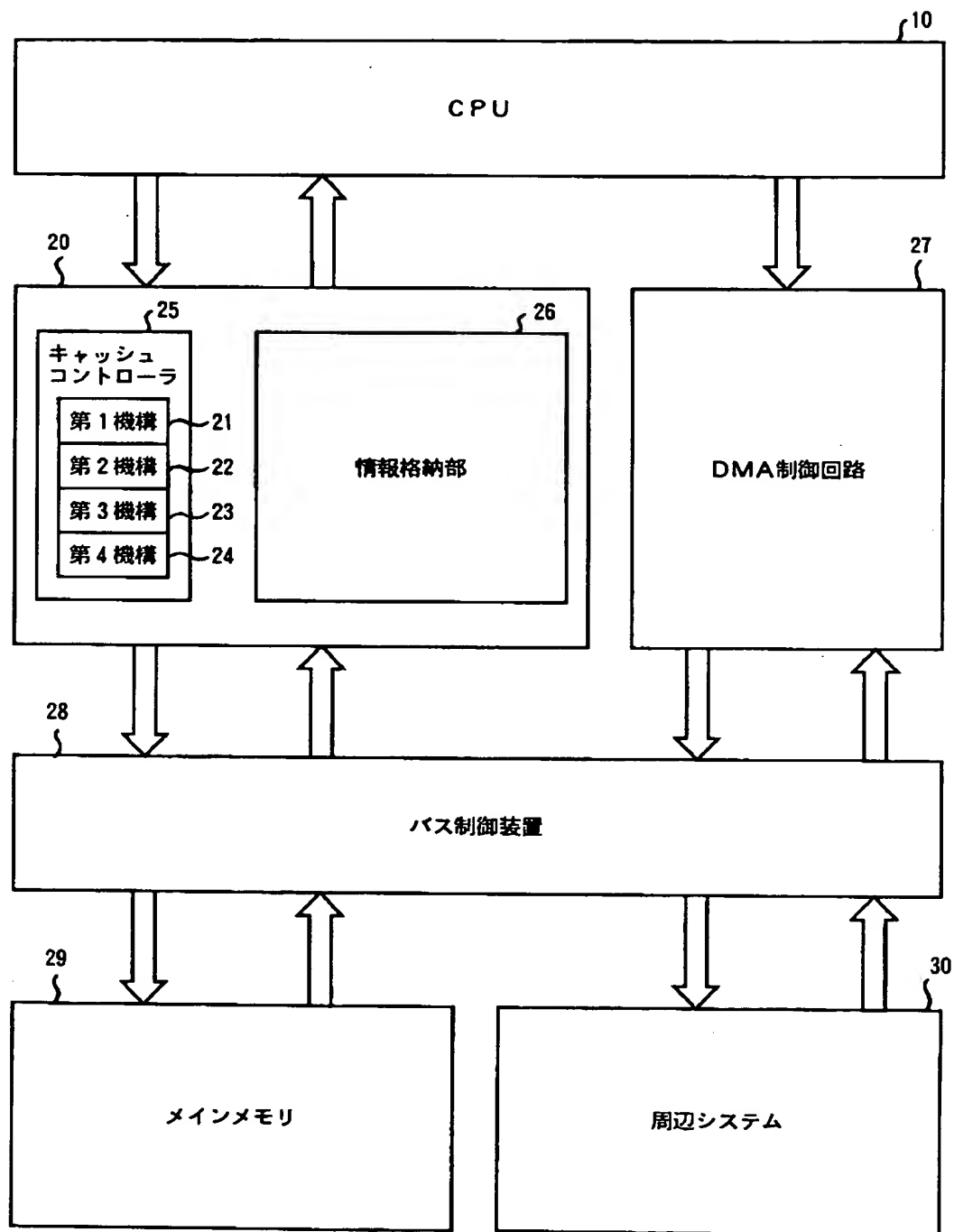
【図 1】

4ウェイ・セット・アソシアティブ方式を採用した従来の計算機の構成を示す図



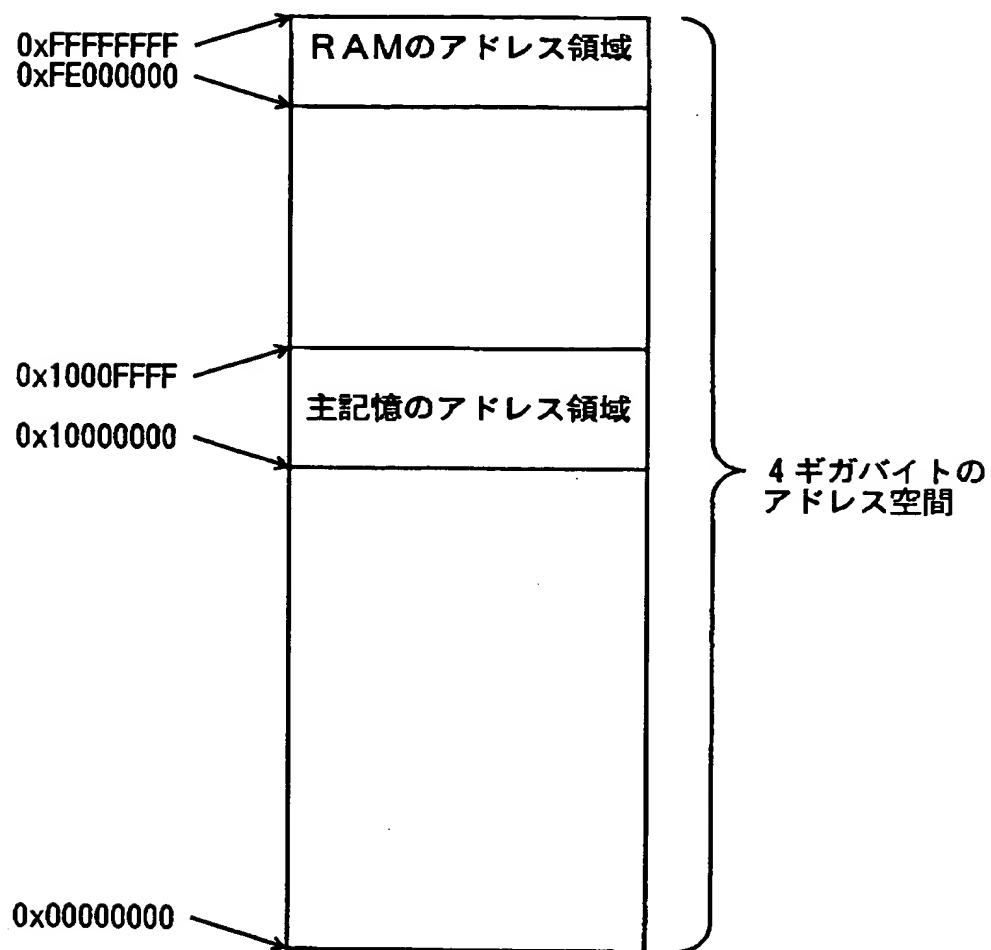
【図 2】

本発明の実施の形態に係る計算機の基本的構成を示すブロック図



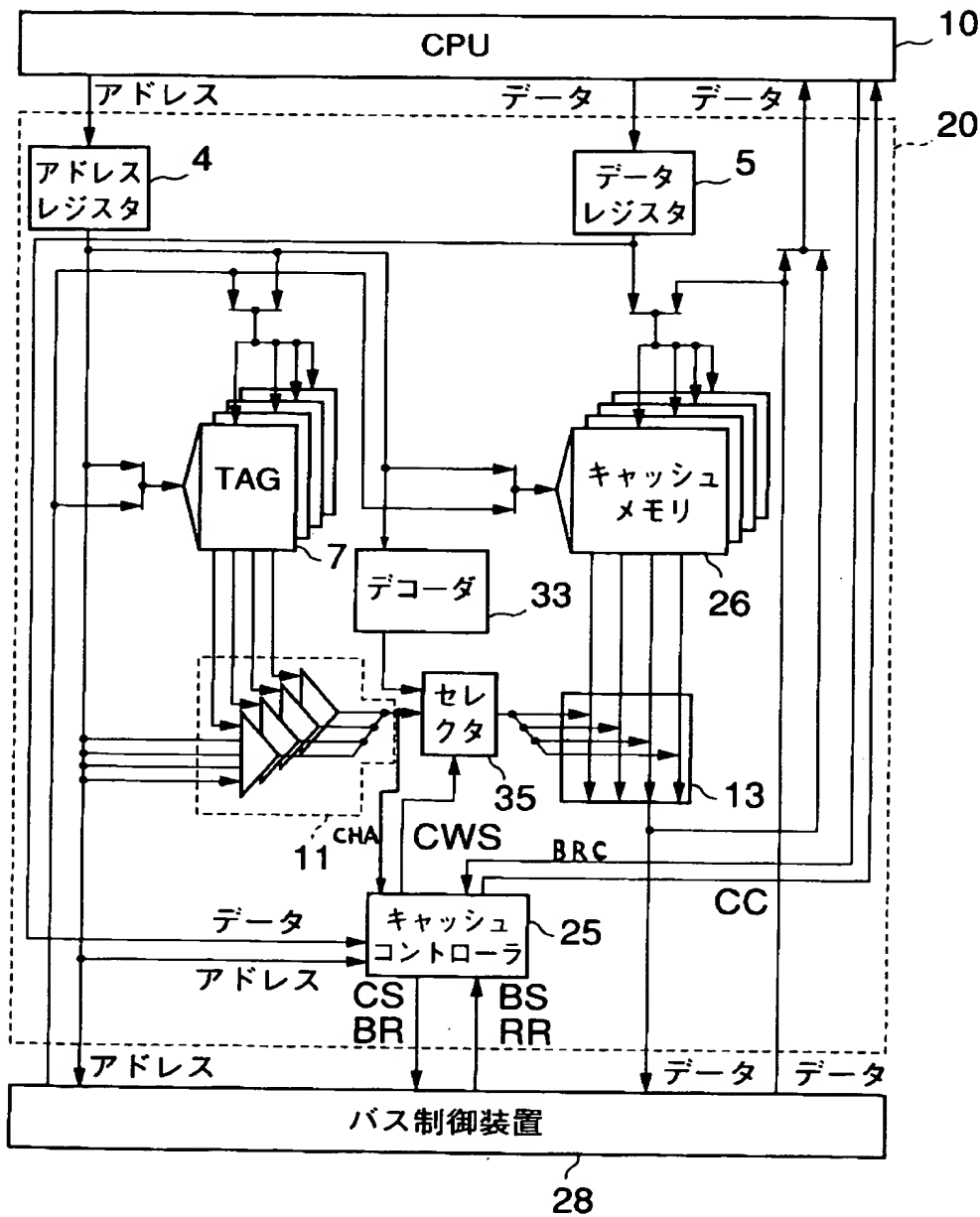
【図 3】

本発明の実施の形態に係る計算機における  
アドレスマッピングの例を示す図



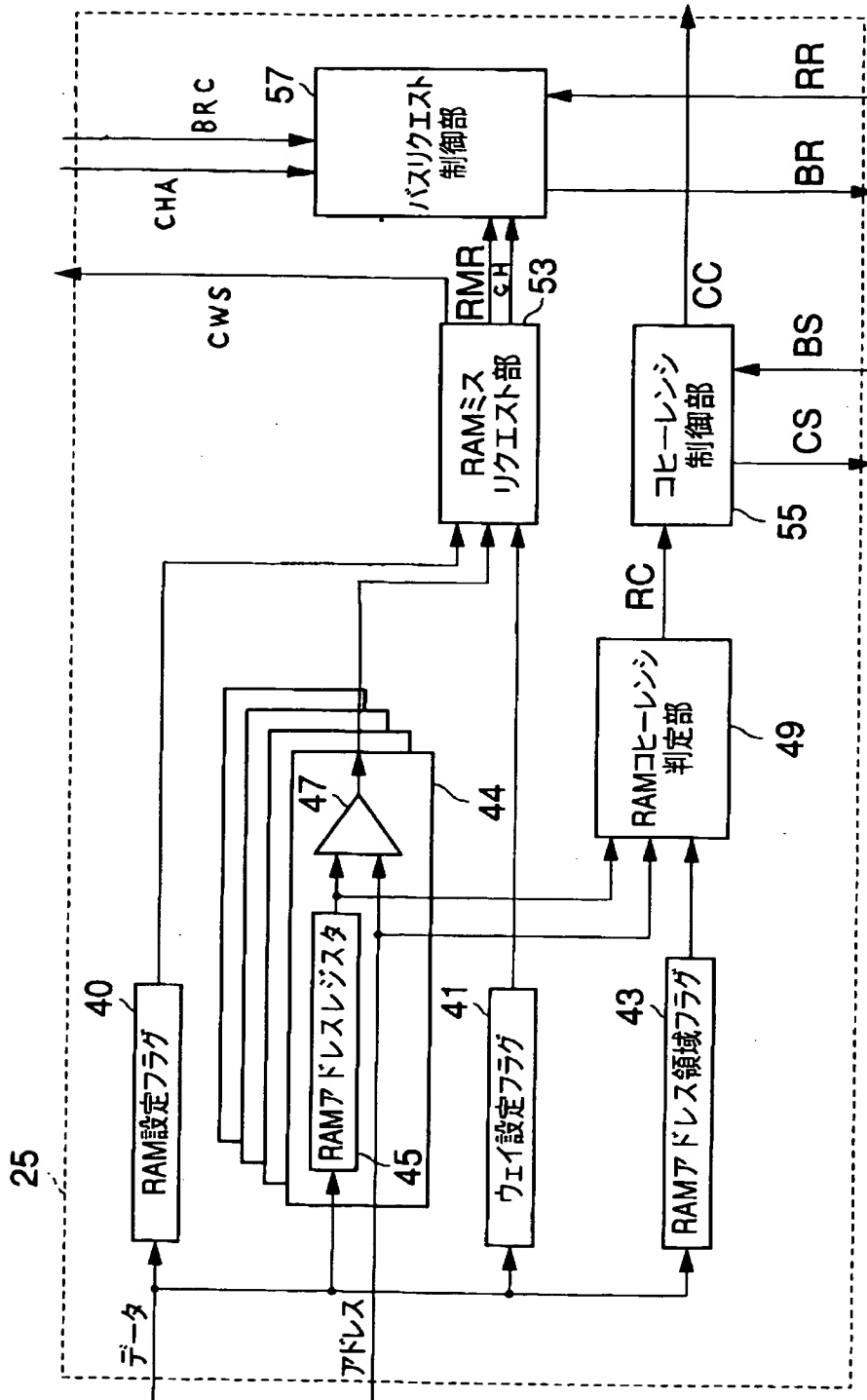
【図 4】

本発明の実施の形態1に係る計算機のキャッシュ部の構成をより詳しく示す図



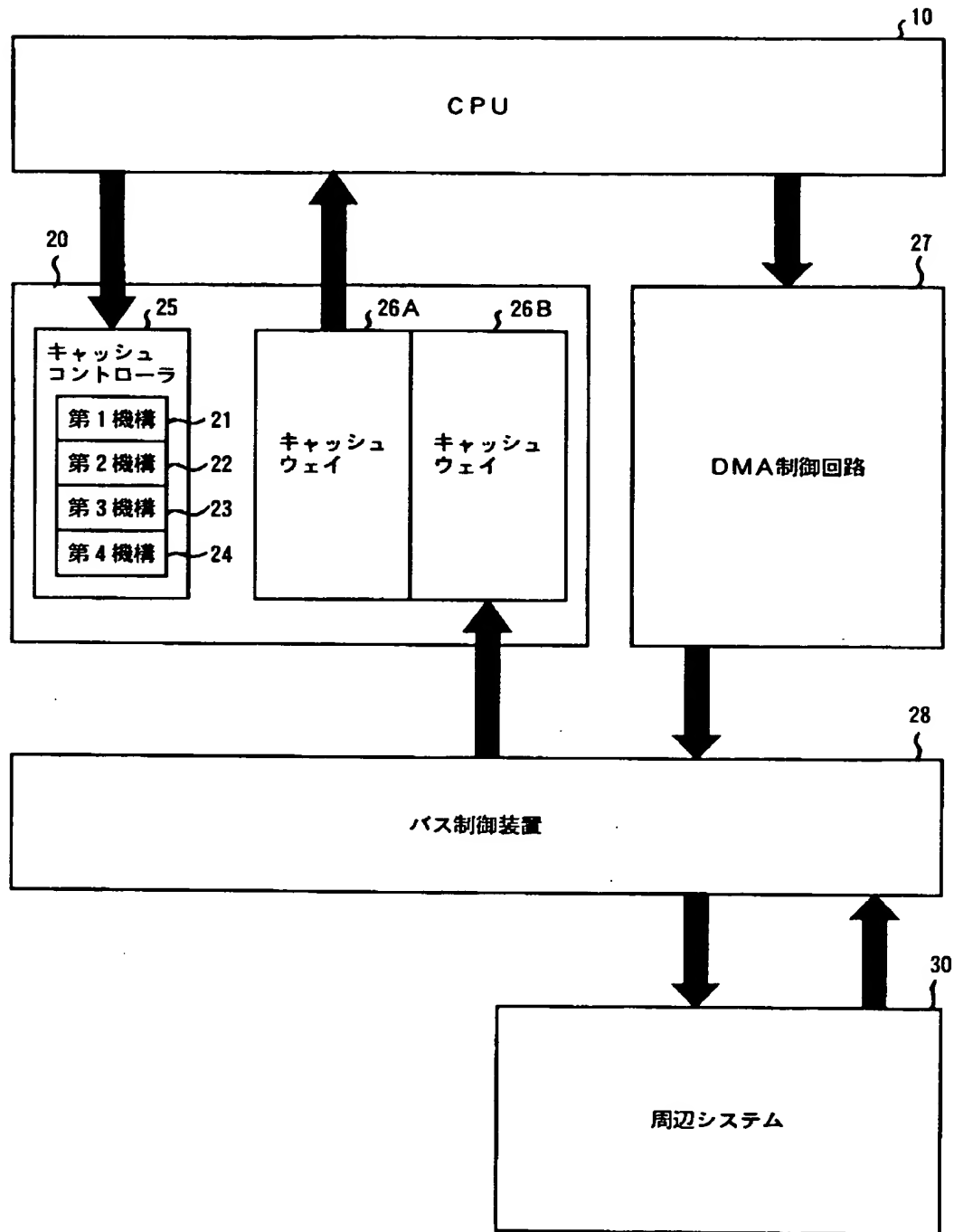
【図 5】

図4に示されたキャッシュコントローラの構成を示す図



【図 6】

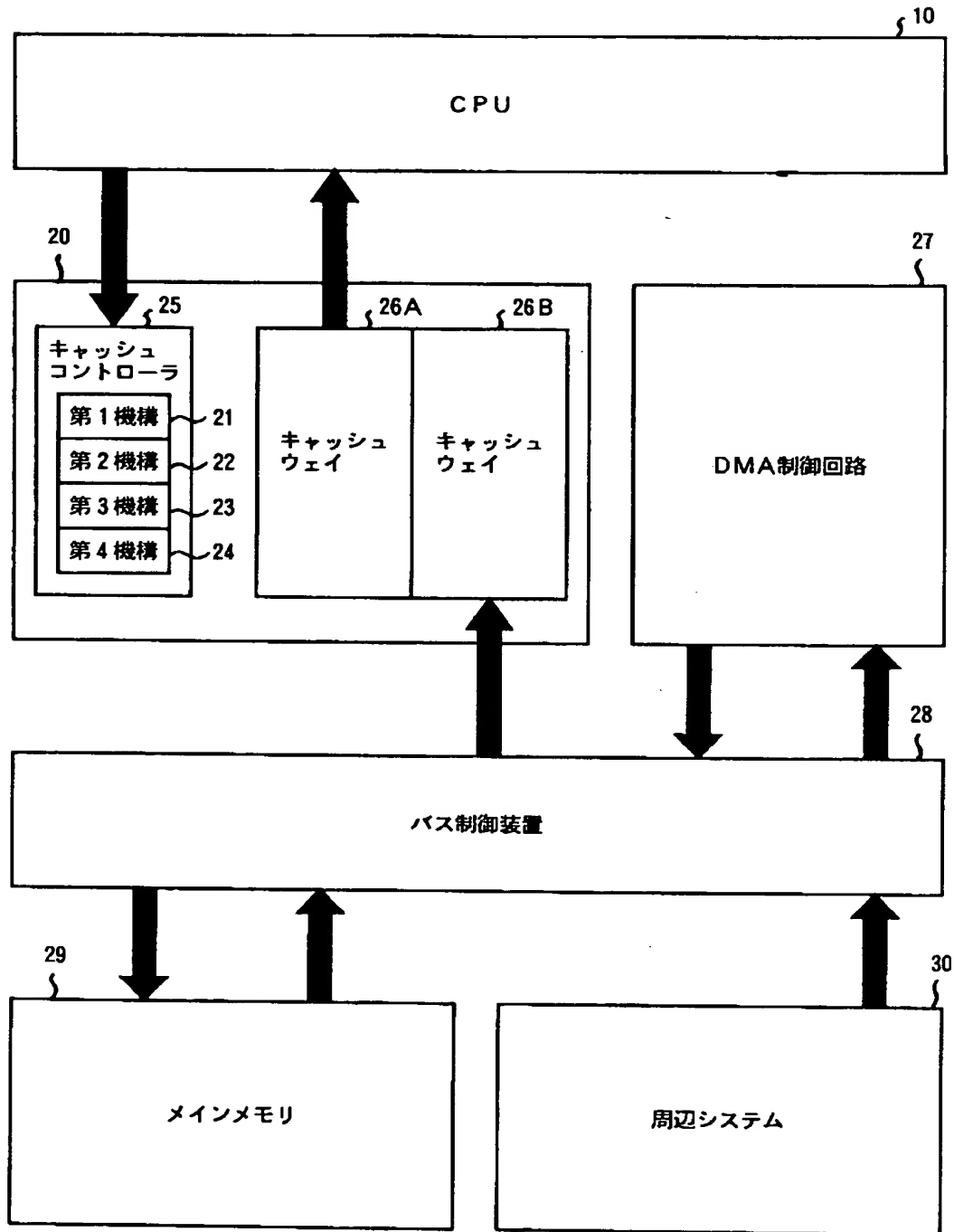
本発明の実施の形態 1 に係る計算機において、CPU が  
周辺システムのアドレス空間にアクセスする動作を説明する図





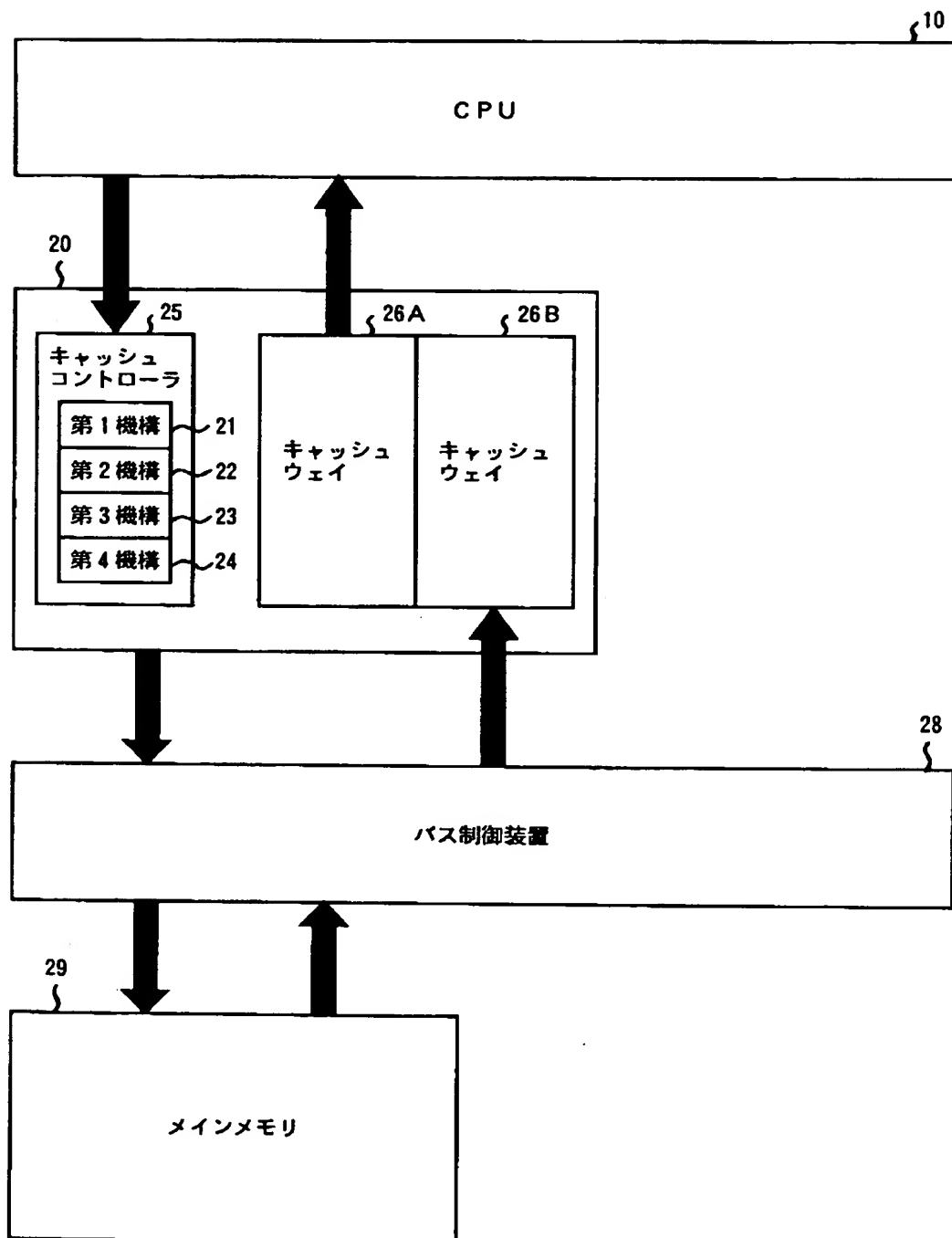
【図 7】

本発明の実施の形態 1 に係る計算機において、  
CPU がメインメモリのアドレス空間に  
アクセスする動作を説明する第一の図



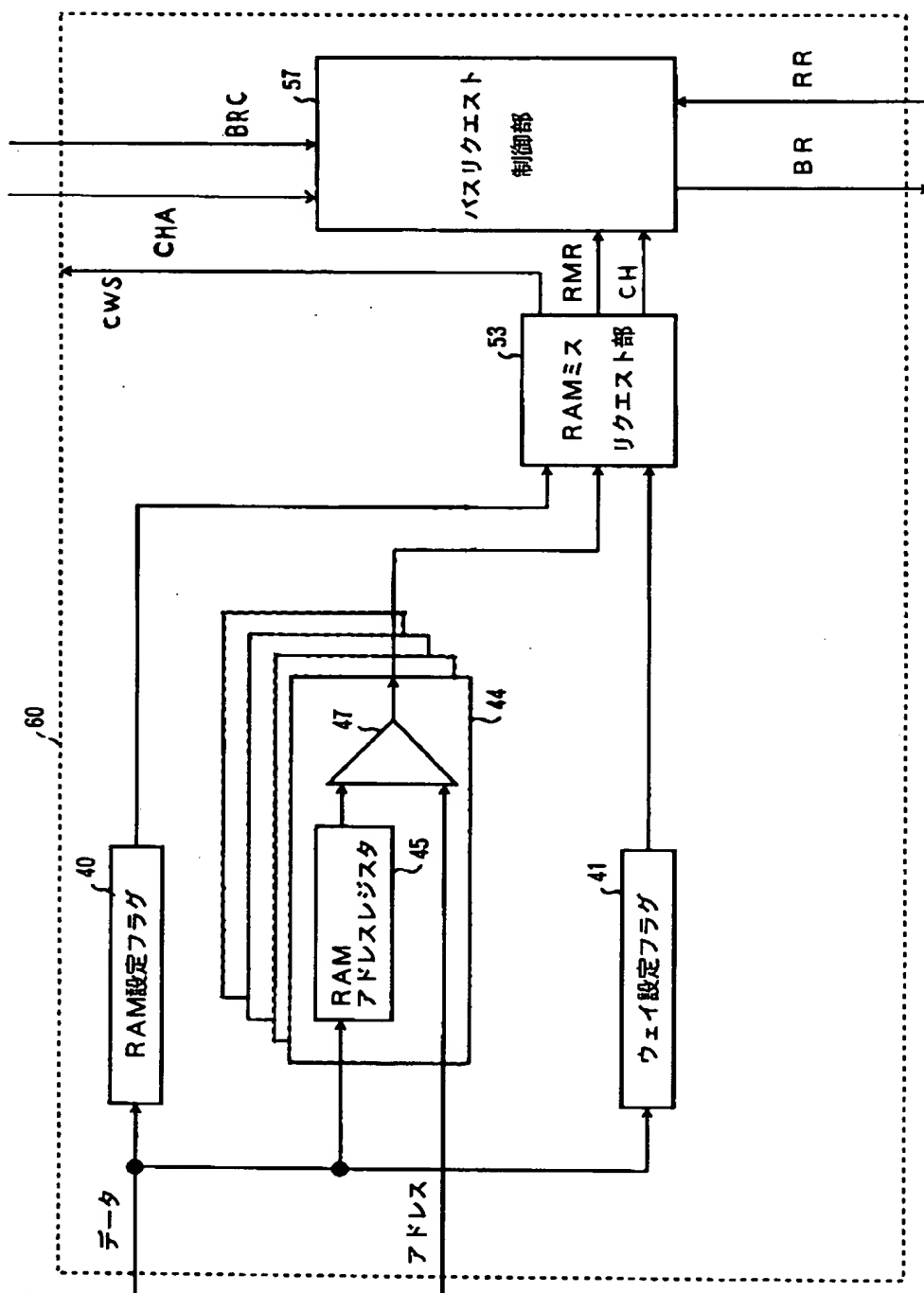
【図 8】

本発明の実施の形態 1 に係る計算機において、  
CPU がメインメモリのアドレス空間に  
アクセスする動作を説明する第二の図



【図 9】

本発明の実施の形態 2 に係る計算機における  
キャッシュコントローラの構成を示す図



【書類名】 要約書

【要約】

【課題】 コヒーレンシーを保つための複雑な制御の必要性を回避して、RAMとしての簡易な制御を実現し得るキャッシュメモリを備えた計算機とその制御方法を提供する。

【解決手段】 メインメモリ 2 9 と、メインメモリ 2 9 に接続されランダムアクセスメモリとして動作させることができるキャッシュメモリを含む情報格納部 2 6 とを備えた計算機であって、上記キャッシュメモリがランダムアクセスメモリとして動作するときには、メインメモリ 2 9 に対応するアドレス空間とは異なるアドレス空間を上記キャッシュメモリへ割り当てるキャッシュコントローラ 2 5 を備えたことを特徴とする計算機を提供する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社